



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11017184 A**(43) Date of publication of application: **22 . 01 . 99**

(51) Int. Cl.

H01L 29/78
H01L 21/8244
H01L 27/11
H01L 29/66
H01L 29/786
H01L 29/88

(21) Application number: **10077470**(22) Date of filing: **25 . 03 . 98**(30) Priority: **28 . 04 . 97 JP 09110703**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor:
MORITA KIIYOYUKI
UENOYAMA TAKESHI
MORIMOTO TADASHI
YUKI KOICHIRO
SORADA HARUYUKI

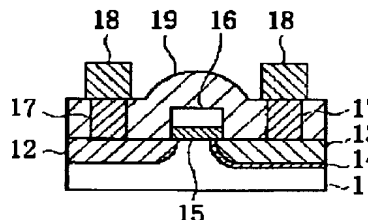
(54) **SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the forward bias current of a p-n junction in a semiconductor element using interband tunnel conduction.

SOLUTION: In the upper portion of a semiconductor substrate 11 made of p-type Si, p-type and n-type degenerated diffusion layers 12, 13 are formed oppositely to each other with a space between. On the interface between the n-type diffusion layer 13 and the semiconductor substrate 11, a tunnel barrier film 14 made of silicon oxide having a thickness of 1.5-5 nm is formed. Since the concentrations of the respective impurities of the p-type and n-type diffusion layers 12, 13 are at least $1 \times 10^{19} \text{ cm}^{-3}$, the Fermi levels of the p-type and n-type diffusion layers 12, 13 are positioned respectively in their valence band and conduction band to bring the both into degenerated states. On the principal surface of the region of the semiconductor substrate 11 which is interposed between the p-type and n-type diffusion layers 12, 13, a gate electrode 16 made of high-concentration n-type polysilicon is formed via a gate insulation film 15.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17184

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 J
21/8244		29/66	
27/11		27/10	3 8 1
29/66		29/78	6 1 3 B
29/786			6 1 6 S
審査請求 未請求 請求項の数13 O L (全 19 頁) 最終頁に続く			

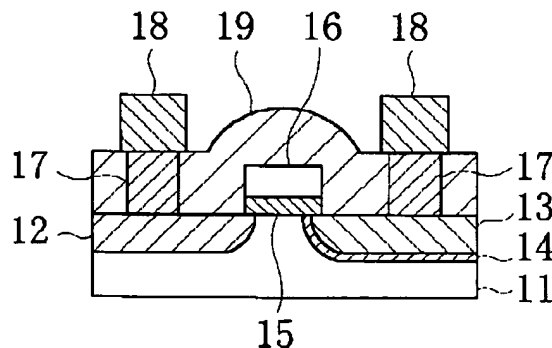
(21) 出願番号	特願平10-77470	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成10年(1998) 3月25日	(72) 発明者	森田 清之 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平9-110703	(72) 発明者	上野山 雄 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32) 優先日	平 9 (1997) 4月28日	(72) 発明者	森本 康 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 前田 弘 (外 2 名) 最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 バンド間トンネル電導を用いた半導体素子におけるp-n接合の順バイアス電流を抑制できるようにする。

【解決手段】 p型Siよりなる半導体基板11の上部には、互いに間隔をおいて縮退するように形成された、p型拡散層12とn型拡散層13とが形成されている。n型拡散層13と半導体基板11との界面には厚さが1.5nm～5nmの酸化シリコンよりなるトンネル障壁膜14が形成されている。p型拡散層12及びn型拡散層13の各不純物濃度は少なくとも $1 \times 10^{19} \text{ cm}^{-3}$ であるため、p型拡散層12のフェルミ準位は価電子帯中に位置し、且つ、n型拡散層13のフェルミ準位は伝導帯中に位置するので、共に縮退状態にある。半導体基板11の主面上のp型拡散層12及びn型拡散層13の間にはゲート絶縁膜15を介して高濃度n型ポリシリコンよりなるゲート電極16が形成されている。



【特許請求の範囲】

【請求項1】 半導体基板上にそれぞれ形成されており、
フェルミ準位が伝導帯中に位置する縮退した高濃度n型半導体層と、
フェルミ準位が価電子帯中に位置する縮退した高濃度p型半導体層と、
前記高濃度n型半導体層と前記高濃度p型半導体層との間にトンネル電流が流れるように形成されたトンネル障壁膜とを備えていることを特徴とする半導体装置。

【請求項2】 前記半導体基板はSOI基板であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記高濃度n型半導体層と前記高濃度p型半導体層とが基板面に垂直な方向に互いに重なり合っていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記半導体基板はシリコンよりなり、前記トンネル障壁膜は酸化シリコンよりなることを特徴とする請求項1に記載の半導体装置。

【請求項5】 第1導電型の半導体基板上に互いに間隔をおいてそれぞれ縮退するように形成された第1導電型の第1の高濃度半導体層及び第2導電型の第2の高濃度半導体層と、
前記半導体基板と前記第1の高濃度半導体層との間における前記第2の高濃度半導体層を臨む領域、又は前記半導体基板と前記第2の高濃度半導体層との間における前記第1の高濃度半導体層を臨む領域にトンネル電流が流れるように形成されたトンネル障壁膜と、
前記半導体基板の上における、前記第1の高濃度半導体層と前記第2の高濃度半導体層との間の領域に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に形成されたゲート電極とを備えていることを特徴とする半導体装置。

【請求項6】 前記半導体基板はSOI基板であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 第1導電型のSOI基板と、
前記SOI基板上に互いに間隔をおいてそれぞれ縮退するように形成された第1導電型の第1の高濃度半導体層及び第2導電型の第2の高濃度半導体層と、
前記SOI基板の上における、前記第1の高濃度半導体層と前記第2の高濃度半導体層との間の領域に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に形成されたゲート電極とを備えていることを特徴とする半導体装置。

【請求項8】 第1導電型の半導体基板上に縮退するように形成された第1導電型の第1の高濃度半導体層と、
前記半導体基板の上における前記第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜と、
前記トンネル障壁膜の上に縮退するように形成された第2導電型の第2の高濃度半導体層とを備えていることを

特徴とする半導体装置。

【請求項9】 第1導電型の半導体基板と、
前記半導体基板上に縮退するように形成された第2導電型の第1の高濃度半導体層と、
前記半導体基板の上における前記第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜と、
前記トンネル障壁膜の上に縮退するように形成された第1導電型の第2の高濃度半導体層よりなる第1のゲート電極と、
前記半導体基板の上に、前記第1の高濃度半導体層の周辺部における前記第1のゲート電極の一方のゲート長方向側に形成された第1のゲート絶縁膜と、
前記第1のゲート絶縁膜の上に形成された第2のゲート電極と、
前記半導体基板の上における前記第2のゲート電極のゲート長方向側に形成された第2導電型の第1の半導体層と、
前記半導体基板の上に、前記第1の高濃度半導体層の周辺部における前記第1のゲート電極の他方のゲート長方向側に形成された第2のゲート絶縁膜と、
前記第2のゲート絶縁膜の上に形成された第3のゲート電極と、
前記半導体基板の上における前記第3のゲート電極のゲート長方向側に形成された第2導電型の第2の半導体層とを備え、
前記第1の高濃度半導体層と前記第1の半導体層とは、
前記第1のゲート電極と前記第2のゲート電極との間で接続されるように形成され、
前記第1の高濃度半導体層と前記第2の半導体層とは、
前記第1のゲート電極と前記第3のゲート電極との間で接続されるように形成されていることを特徴とする半導体装置。

【請求項10】 第1導電型の半導体基板上に全面にわたって第1の絶縁膜及び導体膜を順次形成した後、前記半導体基板のゲート電極形成領域をマスクして前記第1の絶縁膜及び導体膜に対してエッチングを行なうことにより、前記半導体基板の上にゲート絶縁膜及び該ゲート絶縁膜の上にゲート電極をそれぞれ形成するゲート電極形成工程と、
前記半導体基板の上におけるゲート長方向の一方の領域に第1導電型の第1の高濃度半導体層を縮退するように形成する第1の高濃度半導体層形成工程と、
前記半導体基板の上におけるゲート長方向の他方の領域に第2導電型の第2の高濃度半導体層を縮退するように形成する第2の高濃度半導体層形成工程と、
前記半導体基板の上に全面にわたって第2の絶縁膜を堆積した後、該第2の絶縁膜に対してエッチバックを行なうことにより、前記ゲート電極の側壁に側壁絶縁膜を形成する側壁絶縁膜形成工程と、

前記第1の高濃度半導体層又は前記第2の高濃度半導体層に対してエッチングを行なって、前記第1の高濃度半導体層又は前記第2の高濃度半導体層を除去することにより前記半導体基板を露出させる半導体基板露出工程と、

前記半導体基板の露出面に全面にわたってトンネル障壁膜をトンネル電流が流れるように形成するトンネル障壁膜形成工程と、

前記トンネル障壁膜の上に全面にわたって、エッチングにより除去された高濃度半導体層と同一の導電型を有する第3の高濃度半導体層を縮退するように形成する第3の高濃度半導体層形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項11】 前記第1の高濃度半導体層形成工程又は前記第2の高濃度半導体層形成工程は、前記半導体基板にp型のイオン種としてボロンを用いたイオン注入を行なうイオン注入工程を含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 第1導電型の半導体基板上に第2導電型の不純物イオンを用いて第2導電型の高濃度拡散層を縮退するように形成する工程と、前記半導体基板上に全面にわたって絶縁膜を形成する工程と、

前記絶縁膜の上における前記高濃度拡散層の第1のゲート電極形成領域に開口部を有するレジストパターンを形成し、該レジストパターンをマスクとして前記絶縁膜に対してエッチングを行なうことにより、前記第1のゲート電極形成領域に前記高濃度拡散層を露出させる工程と、

露出された前記高濃度拡散層の前記第1のゲート電極形成領域にトンネル電流が流れるようにトンネル障壁膜を形成する工程と、

前記半導体基板の上に全面にわたって、第1導電型の高濃度半導体膜を縮退するように形成した後、前記第1のゲート電極形成領域、該第1のゲート電極形成領域をゲート長方向で挟む、一方の第2のゲート電極形成領域及び他方の第3のゲート電極形成領域をそれぞれマスクして、前記高濃度半導体膜及び絶縁膜に対してエッチングを行なうことにより、前記半導体基板の上に、トンネル障壁膜を介した第1のゲート電極、絶縁膜をそれぞれ介した第2のゲート電極及び第3のゲート電極をそれぞれ形成する工程と、

前記半導体基板上に第2導電型の不純物イオンを用いて前記第2のゲート電極及び前記第3のゲート電極をそれぞれマスクとしてイオン注入を行なうことにより、前記半導体基板の上における、前記第2のゲート電極及び第3のゲート電極の各ゲート長方向側に第2導電型の拡散層を前記高濃度拡散層にそれぞれ接続されるように形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項13】 前記第2導電型はp型であって、前記p型の不純物イオンはボロンよりなることを特徴とする請求項12に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、トンネル障壁膜を用いた非線形素子及び該非線形素子を用いた半導体装置並びにそれらの製造方法に関する。

【0002】

【従来の技術】従来、半導体集積回路は、MOS型素子により形成されてきた。MOS型素子は微細化によって、その動作速度、消費電力及び集積度が向上するという特長を有しており、産業上非常に重要な役割を果たしてきた。しかしながら、微細加工の限界や不純物濃度の統計的ゆらぎ等により、工業的にはゲート長が $0.1\mu\text{m}$ 以下のMOS型素子の実用化は非常に困難であると考えられている。一方、システム機器側からは今後もさらなる高集積化及び低消費電力化の要望がある。

【0003】近年、MOS型素子と動作原理が全く異なる素子が種々提案されてきている。その1つに表面トンネルトランジスタ(=STT)がある(T.Uemura and T.Baba, Jpn. J. Appl. Phys., 33, 207(1994))。STTは、基本的には江崎トンネルダイオードを構成するp-n接合の片側の拡散層のキャリア数をゲート電極を用いて制御するものである。例えば、通常のn型MOSFETのソース領域を高濃度n型拡散層から高濃度p型拡散層に変更した表面トンネルトランジスタの場合においては、ゲート電極に正の電圧を印加して基板のp型半導体領域を反転させ、電子を高濃度n型拡散層からゲート電極直下の領域に流入させる。このとき、高濃度n型拡散層を接地し、高濃度p型拡散層に適当な正の電圧を印加すると、ゲート電極直下の領域に流入した電子がバンド間トンネル効果により高濃度p型拡散層に流れる。さらに大きな電圧を印加するとバンド間トンネル効果は生じなくなって電流は減少する。一方、ゲート電圧に正の電圧を印加しなければゲート電極直下の領域には電子の流入が起こらず、バンド間トンネル電流は生じない。これにより、高濃度n型拡散層と高濃度p型拡散層との間の電流をゲート電極に印加する電圧で制御することができる。このSTTは、通常のMOSFETで生じるp-n接合の逆バイアスによるドレインの空乏層の伸びが生じないため、短チャネル効果が生じないので、ゲート長が $0.1\mu\text{m}$ 以下でも正常な動作が期待できる。

【0004】

【発明が解決しようとする課題】しかしながら、従来のSTTは、高濃度n型拡散層に対して高濃度p型拡散層に適当な正の電圧を印加することが必要となるため、すなわち、p-n接合の順バイアスによって動作するため、印加する電圧が大きくなると素子の動作に不要な順

バイアス電流が生じるので、これにより、消費電力が増大するという問題を有している。

【0005】本発明は、バンド間トンネル電導を用いた半導体素子における $p-n$ 接合の順バイアス電流を抑制できるようにすることを目的とする。

【0006】

【課題を解決するための手段】前記の目的を達成するため、本発明は、縮退した高濃度 n 型拡散層と縮退した高濃度 p 型拡散層とよりなる $p-n$ 接合間にトンネル障壁膜を形成するものである。

【0007】本発明に係る第1の半導体装置は、半導体基板上にそれぞれ形成されており、フェルミ準位が伝導帯中に位置する縮退した高濃度 n 型半導体層と、フェルミ準位が価電子帯中に位置する縮退した高濃度 p 型半導体層と、高濃度 n 型半導体層と高濃度 p 型半導体層との間にトンネル電流が流れるように形成されたトンネル障壁膜とを備えている。

【0008】第1の半導体装置によると、縮退した高濃度 n 型半導体層と縮退した高濃度 p 型半導体層との間に、トンネル電流が流れるように形成されたトンネル障壁膜を備えているため、高濃度 n 型半導体層及び高濃度 p 型半導体層よりなる $p-n$ 接合間に印加される電圧が、拡散により生じる順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。

【0009】第1の半導体装置において、半導体基板がSOI基板であることが好ましい。

【0010】第1の半導体装置において、高濃度 n 型半導体層と高濃度 p 型半導体層とが基板面に垂直な方向に互いに重なり合っていることが好ましい。

【0011】第1の半導体装置において、半導体基板がシリコンよりなり、トンネル障壁膜が酸化シリコンよりなることが好ましい。

【0012】本発明に係る第2の半導体装置は、第1導電型の半導体基板上に互いに間隔をおいてそれぞれ縮退するように形成された第1導電型の第1の高濃度半導体層及び第2導電型の第2の高濃度半導体層と、半導体基板と第1の高濃度半導体層との間における第2の高濃度半導体層を臨む領域、又は半導体基板と第2の高濃度半導体層との間における第1の高濃度半導体層を臨む領域にトンネル電流が流れるように形成されたトンネル障壁膜と、半導体基板の上における、第1の高濃度半導体層と第2の高濃度半導体層との間の領域に形成されたゲート絶縁膜と、ゲート絶縁膜の上面に形成されたゲート電極とを備えている。

【0013】第2の半導体装置によると、第1導電型の半導体基板と縮退するように形成された第1導電型の第1の高濃度半導体層との間における、縮退するように形成された第2導電型の第2の高濃度半導体層を臨む領

域、又は半導体基板と第2の高濃度半導体層との間における第1の高濃度半導体層を臨む領域にトンネル電流が流れるように形成されたトンネル障壁膜を備えているため、第1の高濃度半導体層及び第2の高濃度半導体層よりなる $p-n$ 接合間に印加される電圧が、順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。

【0014】第2の半導体装置において、半導体基板がSOI基板であることが好ましい。

【0015】本発明に係る第3の半導体装置は、第1導電型のSOI基板と、SOI基板上に互いに間隔をおいてそれぞれ縮退するように形成された第1導電型の第1の高濃度半導体層及び第2導電型の第2の高濃度半導体層と、SOI基板の上における、第1の高濃度半導体層と第2の高濃度半導体層との間の領域に形成されたゲート絶縁膜と、ゲート絶縁膜の上に形成されたゲート電極とを備えている。

【0016】第3の半導体装置によると、半導体基板に埋め込み酸化膜を有するSOI基板を用いているため、該SOI基板上に形成された第1の高濃度半導体層及び第2の高濃度半導体層よりなる $p-n$ 接合は埋め込み酸化膜に対して実質的に垂直方向のみとなるので、 $p-n$ 接合の接合領域が小さくなる。

【0017】本発明に係る第4の半導体装置は、第1導電型の半導体基板上に縮退するように形成された第1導電型の第1の高濃度半導体層と、半導体基板の上における第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜と、トンネル障壁膜の上に縮退するように形成された第2導電型の第2の高濃度半導体層とを備えている。

【0018】第4の半導体装置によると、第1導電型の半導体基板上に縮退するように形成された第1導電型の第1の高濃度半導体層と、第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜と、該トンネル障壁膜の上に縮退するように形成された第2導電型の第2の高濃度半導体層とを備えているため、第1の高濃度半導体層及び第2の高濃度半導体層よりなる $p-n$ 接合間に印加される電圧が、順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。

【0019】本発明に係る第5の半導体装置は、第1導電型の半導体基板と、半導体基板上に縮退するように形成された第2導電型の第1の高濃度半導体層と、半導体基板の上における第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜と、トンネル障壁膜の上に縮退するように形成された第1導電型

の第2の高濃度半導体層よりなる第1のゲート電極と、半導体基板の上に、第1の高濃度半導体層の周辺部における第1のゲート電極の一方のゲート長方向側に形成された第1のゲート絶縁膜と、第1のゲート絶縁膜の上に形成された第2のゲート電極と、半導体基板の上における第2のゲート電極のゲート長方向側に形成された第2導電型の第1の半導体層と、半導体基板の上に、第1の高濃度半導体層の周辺部における第1のゲート電極の他方のゲート長方向側に形成された第2のゲート絶縁膜と、第2のゲート絶縁膜の上に形成された第3のゲート電極と、半導体基板の上における第3のゲート電極のゲート長方向側に形成された第2導電型の第2の半導体層とを備え、第1の高濃度半導体層と第1の半導体層とは、第1のゲート電極と第2のゲート電極との間で接続されるように形成され、第1の高濃度半導体層と第2の半導体層とは、第1のゲート電極と第3のゲート電極との間で接続されるように形成されている。

【0020】第5の半導体装置によると、第2導電型の第1の高濃度半導体層と該第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜とトンネル障壁膜の上に縮退するように形成された第1導電型の第2の高濃度半導体層よりなる第1のゲート電極とからトンネルダイオードが構成され、第2導電型の第1の半導体層と該第1の半導体層の上に第1のゲート絶縁膜を介して形成された第2のゲート電極とから第1のMOSトランジスタが構成され、第2導電型の第2の半導体層と該第2の半導体層の上に第2のゲート絶縁膜を介して形成された第3のゲート電極とから第2のMOSトランジスタが構成される。さらに、半導体基板の上において、第1の高濃度半導体層と第1の半導体層とが第1のゲート電極と第2のゲート電極との間で接続され、第1の高濃度半導体層と第2の半導体層とが第1のゲート電極と第3のゲート電極との間で接続されるように形成されているため、例えば、トンネルダイオードの第1の高濃度半導体層をデータ（電荷）を保持する記憶ノードとし、第1のMOSトランジスタを負荷トランジスタとし、第2のMOSトランジスタをトランスファトランジスタとすれば、3素子でSRAMを構成することができる。

【0021】本発明に係る第1の半導体装置の製造方法は、第1導電型の半導体基板上に全面にわたって第1の絶縁膜及び半導体膜を順次形成した後、半導体基板のゲート電極形成領域をマスクして第1の絶縁膜及び半導体膜に対してエッチングを行なうことにより、半導体基板の上にゲート絶縁膜及び該ゲート絶縁膜の上にゲート電極をそれぞれ形成するゲート電極形成工程と、半導体基板の上におけるゲート長方向の一方の領域に第1導電型の第1の高濃度半導体層を縮退するように形成する第1の高濃度半導体層形成工程と、半導体基板の上におけるゲート長方向の他方の領域に第2導電型の第2の高濃度半導

体層を縮退するように形成する第2の高濃度半導体層形成工程と、半導体基板の上に全面にわたって第2の絶縁膜を堆積した後、該第2の絶縁膜に対してエッチバックを行なうことにより、ゲート電極の側壁に側壁絶縁膜を形成する側壁絶縁膜形成工程と、第1の高濃度半導体層又は第2の高濃度半導体層に対してエッチングを行なって、第1の高濃度半導体層又は第2の高濃度半導体層を除去することにより半導体基板を露出させる半導体基板露出工程と、半導体基板の露出面に全面にわたってトンネル障壁膜をトンネル電流が流れるように形成するトンネル障壁膜形成工程と、トンネル障壁膜の上に全面にわたって、エッチングにより除去された高濃度半導体層と同一の導電型を有する第3の高濃度半導体層を縮退するように形成する第3の高濃度半導体層形成工程とを備えている。

【0022】第1の半導体装置の製造方法によると、第1の高濃度半導体層又は第2の高濃度半導体層を除去することにより半導体基板を露出させた後、半導体基板の露出面に全面にわたって、トンネル電流が流れるようにトンネル障壁膜を形成し、さらに、該トンネル障壁膜の上に全面にわたって、除去された高濃度半導体層と同一導電型の第3の高濃度半導体層を縮退するように形成するため、第1の高濃度半導体層又は第2の高濃度半導体層と第3の高濃度半導体層とよりなるp-n接合間に印加される電圧が、順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。

【0023】第1の半導体装置の製造方法において、第1の高濃度半導体層形成工程又は第2の高濃度半導体層形成工程が、半導体基板にp型のイオン種としてボロンを用いたイオン注入を行なうイオン注入工程を含むことが好ましい。

【0024】本発明に係る第2の半導体装置の製造方法は、第1導電型の半導体基板上に第2導電型の不純物イオンを用いて第2導電型の高濃度拡散層を縮退するように形成する工程と、半導体基板上に全面にわたって絶縁膜を形成する工程と、絶縁膜の上における高濃度拡散層の第1のゲート電極形成領域に開口部を有するレジストパターンを形成し、該レジストパターンをマスクとして絶縁膜に対してエッチングを行なうことにより、第1のゲート電極形成領域に高濃度拡散層を露出させる工程と、露出された高濃度拡散層の第1のゲート電極形成領域にトンネル電流が流れるようにトンネル障壁膜を形成する工程と、半導体基板の上に全面にわたって、第1導電型の高濃度半導体層を縮退するように形成した後、第1のゲート電極形成領域、該第1のゲート電極形成領域をゲート長方向で挟む、一方の第2のゲート電極形成領域及び他方の第3のゲート電極形成領域をそれぞれマスクして、高濃度半導体膜及び絶縁膜に対してエッチング

を行なうことにより、半導体基板の上に、トンネル障壁膜を介した第1のゲート電極、絶縁膜をそれぞれ介した第2のゲート電極及び第3のゲート電極をそれぞれ形成する工程と、半導体基板上に第2導電型の不純物イオンを用いて第2のゲート電極及び第3のゲート電極をそれぞれマスクとしてイオン注入を行なうことにより、半導体基板の上における、第2のゲート電極及び第3のゲート電極の各ゲート長方向側に第2導電型の拡散層を高濃度拡散層にそれぞれ接続されるように形成する工程とを備えている。

【0025】第2の半導体装置の製造方法によると、第1導電型の半導体基板上に第2導電型の不純物イオンを用いて第2導電型の高濃度拡散層を縮退するように形成した後、高濃度拡散層の上に全面にわたって絶縁膜を形成し、該絶縁膜の一部が露出された高濃度拡散層の第1のゲート電極形成領域にトンネル電流が流れるようにトンネル障壁膜を形成し、その後、トンネル障壁膜の上に縮退した第1導電型の高濃度半導体膜よりなる第1のゲート電極を形成することによりトンネルダイオードが形成されると共に、第1のゲート電極のゲート長方向のそれぞれに高濃度半導体膜よりなる第2のゲート電極及び第3のゲート電極を形成した後、該第2のゲート電極及び第3のゲート電極をそれぞれマスクとしてイオン注入を行なうことにより、自己整合的に且つ高濃度拡散層とそれぞれ接続されるように第2導電型の拡散層をそれぞれ形成することにより、第1のMOSTランジスタ及び第2のMOSTランジスタが形成されることになる。さらに、半導体基板の上部において、高濃度拡散層と一方の拡散層とを第1のゲート電極と第2のゲート電極との間で接続し、高濃度拡散層と他方の拡散層とを第1のゲート電極と第3のゲート電極との間で接続されるように形成するため、例えば、トンネルダイオードの高濃度拡散層をデータ保持する記憶ノードとし、第1のMOSTランジスタを負荷トランジスタとし、第2のMOSTランジスタをトランスファトランジスタとすれば、3素子でSRAMを構成することができる。

【0026】第2の半導体装置の製造方法において、第2導電型はp型であって、該p型の不純物イオンはボロンよりなることが好ましい。

【0027】

【発明の実施の形態】

(第1の実施形態) 本発明の第1の実施形態を図面に基いて説明する。

【0028】図1は本発明の第1の実施形態に係る半導体装置であるSTTの断面構成を示している。図1に示すように、p型Siよりなり不純物濃度が $4 \times 10^{15} \text{ cm}^{-3}$ 程度の半導体基板11上に、互いに間隔をおいてそれぞれ縮退するように形成された、第1の高濃度半導体層としてのp型拡散層12と第2の高濃度半導体層としてのn型拡散層13とを備えている。n型拡散層13

と半導体基板11との界面には厚さが1.5 nm~5 nmの酸化シリコンよりなるトンネル障壁膜14が形成されている。p型拡散層12及びn型拡散層13の各不純物濃度は少なくとも $1 \times 10^{19} \text{ cm}^{-3}$ であるため、p型拡散層12のフェルミ準位は価電子帯中に位置すると共に、n型拡散層13のフェルミ準位は伝導帯中に位置することになるので、p型拡散層12とn型拡散層13とは共に縮退状態にある。

【0029】半導体基板11の主面におけるp型拡散層12及びn型拡散層13の間の領域には厚さが10 nmのゲート絶縁膜15を介した高濃度n型ポリシリコン等よりなるゲート電極16が形成されている。

【0030】半導体基板11の上に全面にわたって形成された層間絶縁膜19には、p型拡散層12及びn型拡散層13の表面を露出させるコンタクトホールがそれぞれ形成されており、各コンタクトホールにはタングステンが充填されてなるコンタクト17がそれぞれ形成され、各コンタクト17はアルミニウム配線18にそれぞれ電気的に接続されている。ここで、図示はされていないが、半導体基板11及びゲート電極16も、p型拡散層12等と同様に、アルミニウム配線18と接続されており、該アルミニウム配線18を介してそれぞれ電圧が印加されSTTとして制御される。

【0031】図2(a)~(d)に本実施形態に係るSTTの基板表面のエネルギーバンドを示す。図2(a)は半導体基板11、p型拡散層12、n型拡散層13及びゲート電極16に全て同一の電位を与えた場合のエネルギー準位を示しており、フェルミレベル E_F は全領域で一致している。前述したように、p型拡散層12は縮退しているため、フェルミレベル E_F がp型拡散層12の禁制帯中ではなく価電子帯中に位置しており、n型拡散層13も縮退しているため、フェルミレベル E_F は禁制帯中ではなく伝導帯中に位置している。

【0032】図2(b)はゲート電極16に正の電圧を印加し、半導体基板11、p型拡散層12及びn型拡散層13を接地した場合のエネルギー準位を示しており、半導体基板11の表面はp型からn型に反転し該表面に電子が誘起される。

【0033】図2(c)はゲート電極16に正の電圧を印加し、n型拡散層13に負の電圧を印加し、p型拡散層12及び半導体基板11を接地した場合のエネルギー準位を示す。この場合は、図2(b)と同様に、半導体基板11の表面は反転するため、該表面に電子が誘起されると共に、n型拡散層13に負の電圧を印加しているため、n型拡散層13のフェルミレベル E_F が上昇するので、p型拡散層12の正孔とn型拡散層13の電子が等エネルギーとなる。その結果、n型拡散層13の電子がトンネル酸化膜14及び半導体基板11を介してp型拡散層12に量子トンネル効果によって流入し、バンド間トンネル電流が生じる。

【0034】このバンド間トンネル電流の特性を図2(e)に示す電圧電流特性図を用いて説明する。図2(e)において、横軸はn型拡散層13に印加される電圧を示し、縦軸はp型拡散層12とn型拡散層13との間の電流を示す。図2(e)に示すように、n型拡散層13に負の電圧を印加すると、バンド間トンネル電流1aが生じる。さらに、n型拡散層13に絶対値が大きな負の電圧を印加すると、p型拡散層12の正孔とn型拡散層13の電子とが等エネルギーでなくなるため、バンド間トンネル電流1bは減少する。さらに絶対値が大きな負の電圧を印加すると、反転した半導体基板11の表面とp型拡散層12との間にp-n接合の順バイアス電流1cが生じる。

【0035】図2(d)はn型拡散層13にのみ負の電圧を与え、ゲート電極16、p型拡散層12及び半導体基板11を接地した場合のエネルギー状態を示す。n型拡散層13に負の電圧を印加しているため、n型拡散層13のフェルミレベルは上昇し、p型拡散層12の正孔とn型拡散層13の電子が等エネルギーとなるが、ゲート電極16直下の半導体基板11が反転していないため、バンド間トンネル電流は生じない。このときの電圧電流特性は図2(e)の曲線2aに示すようになり、n型拡散層13に負の電圧を印加したときに生じるバンド間トンネル電流1aは流れない。

【0036】しかしながら、図2(e)の曲線2bに示すように、従来のSTTのようにトンネル酸化膜14が設けられていない場合は、n型拡散層13に印加する負の電圧の絶対値をさらに大きくすると、p-n接合の順バイアス電流が生じる。

【0037】本実施形態においては、図2(e)の曲線2aに示すように、p型Siよりなる半導体基板11とn型拡散層13との間にトンネル酸化膜14が設けられているため、順バイアス時のエネルギー障壁が高くなるので、p-n接合の順バイアス電流はこのエネルギー障壁に抑制されてほとんど流れない。

【0038】このように、本実施形態に係るSTTは、該STTの動作に不要なp-n接合の順バイアス電流を抑制することができるため、バンド間トンネル電導を用いた素子としての電気的特性を向上させることができる。

【0039】なお、本実施形態においては、半導体基板11とn型拡散層13との間にトンネル酸化膜14を設けたが、半導体基板11とp型拡散層12との間にトンネル酸化膜14を設けることにより、反転した半導体基板11とp型拡散層12との間に生じるp-n接合の順バイアス電流を抑制することもできる。

【0040】また、ゲート電圧を半導体基板11が反転する方向に印加したが、電圧の極性を逆極性とし、蓄積状態で動作させることもできる。この場合は、バンド間トンネル電流は半導体基板11とn型拡散層13との間

に生じる。

【0041】また、本実施形態においては、半導体基板11上にp型拡散層12を設けると共に、トンネル酸化膜14を介在させてn型拡散層13を設けたが、p型とn型とのすべての極性を反転させ、印加電圧の極性も反転させて動作するSTTを構成することができるのはいうまでもない。

【0042】また、図3に示すように、第1の実施形態の第1変形例として、p型Siよりなる半導体基板11の代わりに埋め込み酸化膜21aを有するSOI基板21を用いている。ここで、図3に示す部材と同一の部材には同一の符号を付すことにより説明を省略する。

【0043】本変形例によると、第1の実施形態におけるSTTの効果が得られる上に、SOI基板21を用いているため、p-n接合の接合領域が実質的に埋め込み酸化膜21aに対して垂直な方向のみとなって小さくなるので、SOI基板21内部の埋め込み酸化膜21aに垂直な方向のキャリアの移動が該埋め込み酸化膜21aにより抑制されるようになり、その結果、順バイアス電流をさらに低減することができる。なお、STTとしての動作はゲート絶縁膜15とSOI基板21との界面で行なっているため、第1の実施形態に係るSTTと同様である。

【0044】また、図4の第2変形例に示すように、通常のSTTであっても、p型Siよりなる半導体基板の代わりに埋め込み酸化膜31aを有するSOI基板31を用いると、順バイアス電流を抑制する効果がある。従来のSTTにおいてはp-n接合の順バイアス電流が非常に大きいため、埋め込み酸化膜31aによってp-n接合の領域を小さくすることにより、p-n接合の順バイアス電流を抑制することができる。

【0045】(第2の実施形態)以下、本発明の第2の実施形態を図面に基いて説明する。

【0046】図5及び図6は本発明の第2の実施形態に係る半導体装置であるSTTの製造方法の工程順の断面構成を示している。まず、図5(a)に示すように、選択酸化法等を用いてp型Siよりなる半導体基板41に対して素子分離を行なった後、半導体基板41の主面に対して厚さが10nm程度の酸化を行なって、第1の絶縁膜としてのシリコン酸化膜を形成する。その後、該シリコン酸化膜の上面に高濃度n型ポリシリコンよりなり厚さが300nmの導体膜を堆積し、該導体膜の上面に厚さが50nm程度のキャップ酸化膜を堆積する。その後、半導体基板41の上に全面にわたってレジスト膜を塗布した後、通常のフォトリソグラフィを用いてゲート電極形成領域にレジストパターン45を形成し、該レジストパターン45をマスクとして、シリコン酸化膜、導体膜及びキャップ酸化膜に対してドライエッチングを行なって、半導体基板41の上に酸化シリコンよりなるゲート絶縁膜42、導体膜よりなるゲート電極43及びキ

ャップ酸化膜44を形成する。

【0047】次に、図5(b)に示すように、通常のフォトリソグラフィを用いてゲート電極43を含み半導体基板41の上におけるゲート長方向の一方の領域にレジストパターン(図示せず)を形成し、その後、ゲート電極43、レジストパターン及び素子分離膜(図示せず)をマスクとし、半導体基板41の不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となってエネルギー準位が縮退するように、二フッ化ボロン(BF_2)を注入イオン種として半導体基板41の上部にイオン注入を行なう。その後、半導体基板41に対して熱処理を行なってイオン注入部の格子整合をとり、第1導電型の第1の高濃度半導体層としてのp型拡散層46を形成する。同様に、ゲート電極43を含み半導体基板41の上におけるゲート長方向の他方の領域、すなわち、p型拡散領域46にレジストパターン47を形成した後、ゲート電極43、レジストパターン47及び素子分離膜(図示せず)をマスクとし、半導体基板41の不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となってエネルギー準位が縮退するように、ヒ素(As)イオン又はリン(P)イオンを半導体基板41の上部に注入する。その後、半導体基板41に対して熱処理を行なって、第2導電型の第2の高濃度半導体層としてのn型拡散層48を形成する。なお、p型拡散層46及びn型拡散層48に対する熱処理は一度に行なってもよい。

【0048】次に、図5(c)に示すように、CVD法を用いて半導体基板41の上に全面にわたって厚さが200nmの第2の絶縁膜としてのシリコン酸化膜を堆積し、その後、堆積したシリコン酸化膜に対して異方性が大きいドライエッチングを行なってゲート電極43の側壁に側壁絶縁膜49を形成する。

【0049】次に、図5(d)に示すように、ゲート電極43を含み半導体基板41の上におけるp型拡散層46にレジストパターン50を形成した後、レジストパターン50及び素子分離膜(図示せず)をマスクとして、半導体基板41に対してフッ硝酸等を用いたウェットエッチング又はケミカルドライエッチングを行なってn型拡散層48をエッチング除去することにより、半導体基板41のn型拡散層形成領域51を露出させる。ここで、p型Siよりなる半導体基板41のエッチング速度はn型拡散層48のエッチング速度に比べて非常に小さいため、n型拡散層48のエッチングが完了した時点で制御性良く該エッチングを停止することができる。該エッチング中に、他方のp型拡散層46はレジストパターン50により保護されているため、また、ゲート電極43はその上面をキャップ酸化膜44により、その側面を側壁酸化膜49により、その底面をゲート絶縁膜42により保護されているため、エッチングされることはない。

【0050】次に、図6(a)に示すように、レジストパターン50を除去した後、温度を700℃として半導

体基板41を熱酸化することにより、ゲート電極43直下の半導体基板41のn型拡散層形成領域51におけるp型拡散層46を臨む領域を含み、半導体基板41におけるn型拡散層形成領域51の露出面に厚さが1.5nm~5nmの酸化シリコンよりなるトンネル障壁膜52を形成する。続いて、ゲート電極43を含み半導体基板41の上のp型拡散層46にレジストパターン(図示せず)を形成した後、エピタキシャル法又はCVD法を用いてゲート電極43、レジストパターン(図示せず)及び素子分離膜(図示せず)をマスクとして、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上であって、ポリシリコン又は単結晶シリコンよりなり第3の高濃度半導体層としての縮退したn型半導体層53を形成する。ここで、n型半導体層53を形成する際に、トンネル障壁膜52の厚さが極めて小さいため、エピタキシャル成長が可能であれば単結晶シリコンを用いることが好ましい。この場合には、半導体基板41とn型半導体層53との結晶軸が一致するため、電気的特性が向上する。

【0051】次に、図6(b)に示すように、p型拡散層46の上面のレジストパターン及びシリコン酸化膜を除去した後、半導体基板41の上に全面にわたって層間絶縁膜54を堆積する。その後、通常のフォトリソグラフィを用いて、層間絶縁膜54の上におけるp型拡散層46の上方及びn型半導体層53の上方にそれぞれ開口部を有するレジストパターン(図示せず)を形成し、次に、該レジストパターンをマスクとして層間絶縁膜54に対してドライエッチングを行なって層間絶縁膜54にp型拡散層46の上面及びn型半導体層53の上面をそれぞれ露出させるコンタクトホールを開口した後、該コンタクトホールにタングステン(W)を充填してコンタクト55をそれぞれ形成する。その後、層間絶縁膜54の上面における各コンタクト55にp型拡散層46又はn型半導体層53と電気的に接続されるアルミニウム配線56をそれぞれ形成する。なお、説明の都合上、p型拡散層46及びn型半導体層53にのみコンタクト55を介して接続されるアルミニウム配線56を形成しているが、半導体基板41及びゲート電極43は別のコンタクトを介してアルミニウム配線56と接続されており、p型拡散層46、n型半導体層53、半導体基板41及びゲート電極43は、アルミニウム配線56を通じてそれぞれ電圧が印加されてSTTとして制御される。

【0052】その後、図示はしていないが、多層配線を行なう場合には、層間絶縁膜54の上に、再度別の層間絶縁膜を形成して配線を行なう。単層配線の場合は、層間絶縁膜54の表面に保護絶縁膜を形成し、さらに、ボンディングパッド用の開口部を設けてSTTを完成させる。

【0053】なお、本実施形態においては、p型の注入イオン種に BF_2 を用いたが、ボロン(B)を用いてもよい。このようにすると、ボロン(B)のイオン半径は

二フッ化ボロン (BF_2) のイオン半径に比べて小さいため、格子欠陥等の注入ダメージが小さくなり、p型拡散層46中に生じるリーク電流が低減される。その結果、電気的特性にばらつきがない高信頼性のSTTを得ることができる。

【0054】また、p型Siよりなる半導体基板41とn型半導体層53との間の領域に酸化シリコンよりなるトンネル障壁膜52を設けたが、半導体基板41とp型拡散層46との間の領域にトンネル障壁膜52を設けることにより、半導体基板41の主面におけるゲート電極43の下側の領域でn型に反転した反転層とp型拡散層46との間のp-n接合の順バイアス電流を抑制することもできる。

【0055】この場合は、図5(c)に示す工程において、半導体基板41の上におけるゲート電極43のゲート長方向の両側に高濃度のn型拡散層を形成し、一方のn型拡散層のみをエッチング除去し、該エッチング除去により露出された半導体基板41の露出面にトンネル障壁膜を形成した後、エピタキシャル法又はCVD法を用いて $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度不純物を含むp型半導体層を形成すればよい。

【0056】また、本実施形態においては、半導体基板41の拡散領域にp型拡散層46を形成し、トンネル障壁膜52を介在させてn型半導体層53を形成したが、すべての導電型、すなわち、p型とn型とを反転させ、印加電圧の極性も逆転させて動作するSTTを構成することができるのはいうまでもない。

【0057】(第3の実施形態)以下、本発明の第3の実施形態を図面に基いて説明する。

【0058】図7は本発明の第3の実施形態に係る半導体装置であるトンネルダイオードの断面構成を示している。図7に示すように、p型Siよりなり不純物濃度が $4 \times 10^{15} \text{ cm}^{-3}$ 程度の半導体基板61上の所定領域には、絶縁膜よりなる素子分離膜62と、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上であって第1導電型の高濃度半導体層としての縮退したp型拡散層63が形成されている。半導体基板61の上におけるp型拡散層63の上で且つ素子分離膜62側に、酸化シリコンよりなり厚さが $1 \text{ nm} \sim 5 \text{ nm}$ のトンネル障壁膜64が形成され、該トンネル障壁膜64と素子分離膜62との上には、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上であって第2導電型の高濃度半導体層としての縮退したn型ゲート電極65が形成されている。半導体基板61の上に全面にわたって層間絶縁膜66が堆積され、層間絶縁膜66におけるp型拡散層63の上及びn型ゲート電極65の上にそれぞれタングステンよりなるコンタクト67が電気的に接続されるように形成されており、層間絶縁膜66におけるコンタクト67の上にそれぞれアルミニウム配線68が電気的に接続されるように形成されている。図示はされていないが、半導体基板61にもコンタクトを介在させてアルミ

ニウム配線68が接続されており、p型拡散層63、n型ゲート電極65及び半導体基板61は、それぞれアルミニウム配線68を介して電圧が印加される。

【0059】これにより、半導体基板61の基板面に垂直に形成され、トンネル障壁膜64を間に挟んだp型拡散層63とn型ゲート電極65とが積層されてなるトンネルダイオードを実現できる。

【0060】図8(a)及び(b)に本実施形態に係るトンネルダイオードのp型拡散層63及びn型ゲート電極65のエネルギーバンドを示す。図8(a)はp型拡散層63及びn型ゲート電極65に同一の電位を与えた場合のエネルギー準位を示しており、フェルミレベル E_F はトンネル障壁膜64を含む全領域で一致している。ここで、p型拡散層63は縮退しているため、フェルミレベル E_F がp型拡散層63の価電子帯中に位置しており、n型ゲート電極65も縮退しているため、フェルミレベル E_F が伝導帯中に位置している。

【0061】図8(b)はn型ゲート電極65に負の電圧を印加し、p型拡散層63を接地した場合のエネルギー準位を示す。n型ゲート電極65には負の電圧を印加しているため、n型ゲート電極65のフェルミレベル E_F は上昇し、p型拡散層63の正孔とn型ゲート電極65の電子が等エネルギーとなる。その結果、n型ゲート電極65の電子がトンネル障壁膜64を介してp型拡散層63に流入しバンド間トンネル電流が生じる。

【0062】このバンド間トンネル電流の特性を図8(c)に示す電圧電流特性図を用いて説明する。図8(c)において、横軸はn型ゲート電極65に印加される電圧を示し、縦軸はp型拡散層63とn型ゲート電極65との間の電流を示す。図8(c)に示すように、n型ゲート電極65に負の電圧を印加すると、バンド間トンネル電流3aが生じる。さらに、n型ゲート電極65に絶対値が大きな負の電圧を印加すると、p型拡散層63の正孔とn型ゲート電極65の電子が等エネルギーでなくなるため、バンド間トンネル電流3bは減少する。さらに絶対値が大きな負の電圧を印加すると、p型拡散層63とn型ゲート電極65の界面にトンネル障壁膜64を設けているため、p-n接合の拡散による順バイアス電流3cが抑制されることが分かる。しかしながら、従来のように、トンネル障壁膜64が設けられていない場合は、図8(c)に示すようにn型ゲート電極65とp型拡散層63との間に大きな順バイアス電流3dが生じることになる。

【0063】このように、本実施形態によると、陽極であるp型拡散層63と、陰極であるn型ゲート電極65のp-n接合面に酸化シリコンよりなるトンネル障壁膜64を設けているため、トンネルダイオードの動作に必要な従来のp-n接合の順バイアス電流3dを曲線3cに示すように抑制することができるので、バンド間トンネル電導を用いたトンネルダイオードの特性を向上させ

ることができる。

【0064】また、トンネル障壁膜64を設けることにより、図9(a)の実測図に示すように、p-n接合面の不純物濃度の変化を互いに急峻にすることができる。ここで、図9(a)に示す曲線6pはp型不純物イオンのボロン(B)の濃度を表わし、曲線6nはn型不純物イオンのリン(P)の濃度を表わしている。一方、図9(b)はp-n接合面にトンネル障壁膜64を設けない場合の比較用の実測図であって、図9(b)に示す曲線7pはp型不純物イオンのボロン(B)の濃度、曲線7nはn型不純物イオンのリン(P)の濃度をそれぞれ表わしている。図9(a)及び(b)を比較すると、図9(a)に示すトンネル障壁膜64を設けた場合は、図9(b)に示すトンネル障壁膜64を設けない場合に比べて、n型ゲート電極側においてはボロン(B)の濃度(曲線6p)が減少し、また、基板側においてはリン(P)の濃度(曲線6n)が測定限界レベルにまで減少している。

【0065】このように、p-n接合面にトンネル障壁膜64を設けると、順バイアス電流3dを抑制できる上に、さらに、p-n接合面におけるp型及びn型不純物イオンの相互拡散を抑制できるため、バンド間トンネル電導を用いたトンネルダイオードの電気的特性の向上に必須であるp-n接合面の急峻な濃度変化をp-n接合面に対して確実に持たせることができる。

【0066】ここでは、p型拡散層63を、注入イオン種に BF_3 を用いて加速電圧が40keVでドーズ量が $4.0 \times 10^{15} / \text{cm}^2$ のイオン注入を行なった後、窒素雰囲気において温度が900℃で30分間のアニールを行なって形成し、n型ゲート電極65を、温度が900℃で30分間の酸塩化リン(POCl_3)を用いたリン拡散を行なって形成している。

【0067】また、本実施の形態においては、p型Siよりなる半導体基板61の上にp型拡散層63を形成し、トンネル障壁膜64を介在させてn型ゲート電極65を形成したが、すべての半導体の導電型を逆転させ、印加電圧の極性も逆転させて動作するトンネルダイオードを構成することができるのはいうまでもない。

【0068】また、半導体基板に単結晶のp型Siを用いたが、これに限らず、内部に埋め込み酸化膜を有するSOI基板を用いてもよい。この場合、トンネルダイオードとしての動作は本実施形態に示したものと同一であるが、SOI基板を用いると、p型拡散層63が基板と電気的に絶縁されるため、回路設計上の自由度が向上する。

【0069】また、図10に第3の実施形態の一変形例に係る半導体装置の断面構成を示し、図10において、図7に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。本変形例の特徴は、図7に示す半導体装置においては、通常、LOCOSより

なる素子分離膜62におけるトンネル障壁膜64側の端部はLOCOSの形成時にシリコン酸化膜の膜厚が急激に拡大してなる部分であり、この急激な膜厚の変化に伴うストレスが生じやすい。従って、この端部に接するようにトンネル障壁膜64が形成される場合には該トンネル障壁膜64と素子分離膜62との界面にリーク電流が生じてしまう可能性もある。しかしながら、本変形例においては、半導体基板61上の素子分離膜62の影響を受けない領域にトンネル障壁膜64を設けているため、トンネルダイオードとしての所定の電気的特性を達成でき、歩留まりを向上させることができる。

【0070】(第4の実施形態)以下、本発明の第4の実施形態を図面に基づいて説明する。

【0071】図11は本発明の第4の実施形態に係る半導体装置であるSRAMの断面構成を示している。図11に示すSRAMにおいて、101は記憶ノードとして第3の実施形態に係る半導体装置と同一の構成を有するトンネルダイオード、102はトンネルダイオード101に印加する電圧を制御する負荷トランジスタ及び103は記憶ノードに対するアクセスを許可又は禁止するトランスファトランジスタをそれぞれ示している。

【0072】図11に示すように、n型Siよりなる半導体基板71の上に互いに所定の間隔をおいた、酸化シリコンよりなる第1の素子分離膜72Aと第2の素子分離膜72Bとが形成されている。

【0073】トンネルダイオード101において、半導体基板71上における第1及び第2の素子分離膜72A、72Bの間にそれぞれ間隔をおいて、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上の、第2導電型の第1の高濃度半導体層としての縮退した高濃度p型拡散層73が形成されており、半導体基板71の主面における高濃度p型拡散層73の上には酸化シリコンよりなり厚さが1.5nm~3.0nmのトンネル障壁膜75が形成されており、該トンネル障壁膜75の上には、n型ポリシリコンよりなり、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上であって厚さが300nmの第1導電型の第2の高濃度半導体層としての縮退した第1のゲート電極77が形成されている。

【0074】負荷トランジスタ102において、半導体基板71の上における第1のゲート電極77と第1の素子分離膜72Aとの間の領域に酸化シリコンよりなり厚さが10nmの第1のゲート絶縁膜76Aを介して、n型ポリシリコンよりなり、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で厚さが300nmの第2のゲート電極78Aが形成されており、半導体基板71の上における第2のゲート電極78Aのゲート長方向両側に第2導電型の第1の半導体層としての第1のp型拡散層74Aが形成されている。ここで、高濃度p型拡散層73におけるゲート長方向の第1のp型拡散層74A側の端部と該第1のp型拡散層74Aとは互いに不純物拡散層によって接続さ

れている。

【0075】トランスファトランジスタ103において、半導体基板71の上における第1のゲート電極77と第2の素子分離膜72Bとの間の領域に酸化シリコンよりなり厚さが10nmの第2のゲート絶縁膜76Bを介して、n型ポリシリコンよりなり、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上で厚さが300nmの第3のゲート電極78Bが形成されており、半導体基板71の上における第3のゲート電極78Bのゲート長方向両側に第2導電型の第2の半導体層としての第2のp型拡散層74Bが形成されている。ここで、高濃度p型拡散層73におけるゲート長方向の第2のp型拡散層74B側の端部と該第2のp型拡散層74Bとは互いに不純物拡散層によって接続されている。

【0076】半導体基板71の上には全面にわたって層間絶縁膜79が堆積され、層間絶縁膜79における第1のp型拡散層74Aの上、第2のゲート電極78Aの上、第1のゲート電極77の上、第3のゲート電極78Bの上及び第2のp型拡散層74Bの上にそれぞれタングステンよりなるコンタクト80が電気的に接続されるように形成されている。

【0077】層間絶縁膜79における各コンタクト80の上には、第1のp型拡散層74Aの上方にアルミニウム配線81Aが、第2のゲート電極78Aの上方にアルミニウム配線81Bが、第1のゲート電極77の上方にアルミニウム配線81Cが、第3のゲート電極78Bの上方にアルミニウム配線81Dが、第2のp型拡散層74Bの上方にアルミニウム配線81Eがそれぞれ電気的に接続されるように形成されている。

【0078】以下、本実施形態に係るSRAMの回路構成を図12(a)を用いて説明する。図12(a)において、ビット線104は、図11に示すアルミニウム配線81Eに対応し、ビット線104に接続されたトランスファトランジスタ103は、図11に示す第3のゲート電極78Bと第2のゲート絶縁膜76Bと第2のp型拡散層74BとよりなるMOSTランジスタに対応し、ワード線105は第3のゲート電極78Bに接続されているアルミニウム配線81Dに対応する。

【0079】記録されるデータとなる電荷を保持する記憶ノード106は、図11に示す高濃度p型拡散層73に対応し、前述したように、高濃度p型拡散層73と第2のp型拡散層74Bとは不純物拡散により接続されている。

【0080】トンネルダイオード101は、前述したように、図11に示す高濃度p型拡散層73とトンネル障壁膜75と第1のゲート電極77とよりなり、接地線107は、図11に示す第1のゲート電極77に接続されたアルミニウム配線81Cに対応する。

【0081】負荷トランジスタ102は、前述したように、図11に示す第2のゲート電極78Aと第1のゲ

ート絶縁膜76Aと第1のp型拡散層74AとよりなるMOSTランジスタに対応し、制御線108は第2のゲート電極78Aに接続されたアルミニウム配線81Bに対応し、動作電源の電位を供給する電源線109はアルミニウム配線81Aに対応する。なお、図示はされていないが、半導体基板71の電位はアルミニウム配線81A、すなわち、電源線109と同電位に設定される。

【0082】以下、前記のように構成された本実施形態に係る半導体装置がSRAMとして動作することを図12(b)を用いて説明する。図12(b)において、横軸は半導体基板71に印加される電圧を示し、縦軸は高濃度p型拡散層73を流れる電流を示す。まず、トンネルダイオード101の特性曲線4は、前述したように、第1のゲート電極77を接地し、高濃度p型拡散層73の電圧を正に印加すると、この電圧を増加するにつれ、バンド間トンネル電流として流れる電流が大きくなり、いったん電流が減少した後に、再び拡散により電流が増加する。一方、負荷トランジスタ102の特性曲線5に示すように、半導体基板71の電位と電源線109とを正の同一電位に設定すると共に、記憶ノード106の電位を電源線109よりも小さくしていくと通常のp型MOSTランジスタの特性が得られる。このとき、制御線108の電位を適当に選び、負荷トランジスタ102の電流を制御することにより、トンネルダイオード101の特性曲線4と負荷トランジスタ102の特性曲線5とを互いに交点を持つようにすることができる。トンネルダイオード101の特性曲線4と負荷トランジスタ102の特性曲線5との交点のうち、各交点において、特性曲線4と特性曲線5とのそれぞれの傾きの符号が異なる交点のみが安定点となる。ここでは、負荷トランジスタ102の特性曲線5は常に負の傾きを有しており、2つの安定点のうち、低い電圧値を有する安定点をローデータVLとし、高い電圧値を有する安定点をハイデータVHと呼ぶとすると、記憶ノード106の電位はローデータVL又はハイデータVHのいずれかでのみ安定化する。従って、本回路はローデータVL、ハイデータVHの二値のメモリとして安定して動作することになる。データ書き込みは、ビット線104に所定のデータを準備し、ワード線105を接地することによって行なわれる。一方、データ読み出しは、ビット線104をフローティングにし、ワード線105を接地することにより行なわれる。

【0083】以下、本発明の第4の実施形態に係る半導体装置であるSRAMの製造方法を図面を参照しながら説明する。図13(a)～(d)及び図14(a)、

(b)は本発明の第4の実施形態に係る半導体装置であるSRAMの製造方法の工程順の断面構成を示している。まず、図13(a)に示すように、n型Siよりなる半導体基板111上に選択酸化法等を用いて、互いに所定の間隔をおいた第1の素子分離膜112A及び第2

の素子分離膜112Bを形成した後、通常のフォトリソグラフィを用いて高濃度p型拡散層形成領域に開口部を有するレジストパターン（図示せず）を形成する。その後、該レジストパターンをマスクとして、半導体基板111に対して、拡散層が縮退するように加速電圧が40keVで且つドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ 以上の BF_2 をイオン注入することにより、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上を有する縮退した高濃度p型拡散層111aを形成する。次に、半導体基板111上に熱酸化法等を用いて厚さが10nmの酸化シリコンよりなる絶縁膜113を形成した後、通常のフォトリソグラフィを用いて高濃度p型拡散層111aの上の第1のゲート電極形成領域に開口部を有するレジストパターン114を形成する。

【0084】次に、図13(b)に示すように、半導体基板111に対してフッ化水素(HF)を含む溶液に浸し、絶縁膜113における第1のゲート電極形成領域に対してエッチングを行なって、半導体基板111の高濃度p型拡散層111aを露出させた後、酸素プラズマ等を用いてレジストパターン114を除去する。その後、半導体基板111を温度700℃で酸化して、半導体基板111の主面における高濃度p型拡散層111aの上に厚さが1.5nm~3.0nmの酸化シリコンよりなるトンネル障壁膜115Aを形成する。

【0085】次に、図13(c)に示すように、半導体基板111の上に全面にわたって厚さが300nmのポリシリコンを堆積し、その後、該ポリシリコンの全面にPイオン若しくはAsイオンを用いたイオン注入、又は POCl_3 等を用いた固相拡散等を行なうことにより、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上を有する縮退した高濃度n型ポリシリコン膜（図示せず）を形成する。その後、通常のフォトリソグラフィを用いて第1のゲート電極形成領域、第2のゲート電極形成領域及び第3のゲート電極形成領域にそれぞれ開口部を有するレジストパターン（図示せず）を形成し、該レジストパターンをマスクとして、高濃度n型ポリシリコン膜に対してドライエッチングを行なうことにより、それぞれが高濃度n型ポリシリコン膜よりなり、半導体基板111の高濃度p型拡散層111aの上にトンネル障壁膜115Bを介在させた第1のゲート電極116Aと、半導体基板111の上に第1のゲート絶縁膜113Aを介在させた第2のゲート電極116Bと、第2のゲート絶縁膜113Bを介在させた第3のゲート電極116Cとを形成する。

【0086】次に、図13(d)に示すように、半導体基板111に対して、加速電圧が40keVでドーズ量が $4 \times 10^{15} \text{ cm}^{-2}$ の BF_2 をイオン注入することにより、第2のゲート電極116Bをマスクとして第1のp型拡散層111bと、第3のゲート電極116Cをマスクとして第2のp型拡散層111cとをそれぞれ自己整合的に、且つ、高濃度p型拡散層とそれぞれ接続される

ように形成する。これにより、第2のゲート電極116Bと第1のゲート絶縁膜113Aと第1のp型拡散層111bとよりなる第1のp型MOSトランジスタが形成されると共に、第3のゲート電極116Cと第2のゲート絶縁膜113Bと第2のp型拡散層111cとよりなる第2のp型MOSトランジスタが形成される。

【0087】次に、図14(a)に示すように、半導体基板111の上に全面にわたって厚さが800nmの層間絶縁膜117を堆積した後、図14(b)に示すように、通常のフォトリソグラフィを用いて、層間絶縁膜117の上における、第1のp型拡散層111bの上方、第2のゲート電極116Bの上方、第1のゲート電極116Aの上方、第3のゲート電極116Cの上方及び第2のp型拡散層111cの上方にそれぞれ開口部を有するレジストパターン（図示せず）を形成した後、該レジストパターンをマスクとして層間絶縁膜117に対してドライエッチングを行なうことにより、層間絶縁膜117に第1のp型拡散層111bの上面、第2のゲート電極116Bの上面、第1のゲート電極116Aの上面、第3のゲート電極116Cの上面及び第2のp型拡散層111cの上面をそれぞれ露出させるコンタクトホールを開口し、その後、該コンタクトホールにタングステン(W)を充填して各コンタクト118を形成する。次に、層間絶縁膜117の上面の各コンタクト118にそれぞれ電気的に接続されるアルミニウム配線119を形成する。

【0088】このように、本実施形態によると、n型半導体基板111上に形成され、縮退した高濃度p型拡散層111aと該p型拡散層111aと厚さが1.5nm~3.0nmのトンネル障壁膜115Bを介して接合され、縮退した高濃度n型半導体である第1のゲート電極116Aとよりなるトンネルダイオードを形成すると共に、トンネルダイオードの陽極側を共通のドレイン電極とする第1及び第2のp型MOSトランジスタを形成することにより、前述したように、3素子でSRAMを構成することができるため、SRAMの規模を小さくできるので、半導体装置の高集積化を図ることができる。また、従来からのMOSトランジスタの製造プロセスとの親和性が高いため、MOSトランジスタの製造プロセスを効果的に流用できるので、容易に製造することができる。

【0089】なお、本実施形態においては、半導体基板としてn型Siよりなる半導体基板を用いたが、p型Siよりなる半導体基板を用い、各半導体層の導電型をすべて反転させ、且つ、印加する電圧の極性を反転させても同様の効果を得ることができる。

【0090】また、単結晶基板に限らず、基板中に絶縁膜層を設けたSOI基板を用いてもよい。

【0091】また、n型の第1のゲート電極にポリシリコンを用いたが、酸化シリコンよりなるトンネル障壁膜

上に単結晶シリコンをエピタキシャル成長させることができ、高濃度p型拡散層とn型の第1のゲート電極との結晶軸が一致するため、電気的特性をさらに向上させることができる。

【0092】以下、第4の実施形態に係る半導体装置の製造方法の一変形例を説明する。本変形例は、図12(a)に示す縮退した高濃度p型拡散層111aを形成する工程において、p型の注入イオン種として二フッ化ボロン(BF₂)の代わりにボロン(B)を用いる。このときの基板面に垂直方向の不純物濃度プロファイルを図15(a)の実測図に示す。ここで、曲線8は酸素(O)のプロファイルを表わし、曲線9はフッ素(F)のプロファイルを表わしている。ここで、深さの基準は、第1のゲート電極116Aの上面である。図15(a)に示すように、曲線8及び曲線9は共に、トンネル障壁膜115Aが位置する領域でそれぞれ1つずつのピーク8a及び9aを持っている。

【0093】一方、図15(b)に示す不純物濃度プロファイルは、p型の注入イオン種に二フッ化ボロン(BF₂)を用いた場合を示しており、酸素(O)を示す曲線8及びフッ素(F)を示す曲線9は共に、トンネル障壁膜115Bが位置する領域と該領域の下側とでそれぞれ2つずつのピーク8a、b及び9a、bを持っている。この2つ目のピーク8b及び9bはイオン半径が相対的に大きい二フッ化ボロン(BF₂)を用いることにより、結晶に欠陥が生じ、この欠陥に酸素(O)又はフッ素(F)がそれぞれトラップされるためであると考えられる。

【0094】しかしながら、図15(a)に示す本変形例のように、p型の注入イオン種にボロン(B)を用いると、ボロン(B)は二フッ化ボロン(BF₂)に比較してイオン半径が小さいため、高濃度p型拡散層111aにおけるトンネル障壁膜115Bの下側に生じる欠陥等の注入ダメージが小さくなる。その結果、図12(a)に示す記憶ノード106を形成するトンネルダイオード101でリーク電流が減少するため、電気的特性が向上し、メモリとしての動作マージンが大きくなる。

【0095】

【発明の効果】本発明に係る第1の半導体装置によると、縮退した高濃度のp-n接合間にトンネル電流が流れるように形成されたトンネル障壁膜を備えているため、該p-n接合間に印加される電圧が、拡散により生じる順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。これにより、大きな電圧が印加された場合の順バイアス電流が低減されるので、消費電流を減少させることができる。

【0096】第1の半導体装置において、半導体基板の内部に主面に対して平行に設けられた埋め込み酸化膜を

有するSOI基板を用いると、半導体基板の上に高濃度n型半導体層及び高濃度p型半導体層よりなるp-n接合を設ける場合には、該SOI基板の上に形成された高濃度n型半導体層及び高濃度p型半導体層よりなるp-n接合面が埋め込み酸化膜に対して実質的に垂直方向のみとなるので、p-n接合の接合領域が小さくなる。これにより、SOI基板内部の主面に垂直方向のキャリアの移動が抑制されるので、順バイアス電流をさらに低減することができる。

【0097】第1の半導体装置において、高濃度n型半導体層と高濃度p型半導体層とが基板面に垂直な方向に互いに重なり合っていると、縮退した高濃度n型半導体層及び縮退した高濃度p型半導体層よりなるp-n接合が確実に形成される。

【0098】第1の半導体装置において、半導体基板がシリコンよりなると、縮退した高濃度n型半導体層及び縮退した高濃度p型半導体層よりなるp-n接合を確実に形成できると共に、トンネル障壁膜が酸化シリコンにより形成されるため、該p-n接合の間にトンネル電流が流れるトンネル障壁膜を確実に形成することができる。

【0099】本発明に係る第2の半導体装置によると、それぞれが縮退するように形成された第1導電型の第1の高濃度半導体層及び第2導電型の第2の高濃度半導体層よりなるp-n接合間に、トンネル電流が流れるように形成されたトンネル障壁膜を備えているため、該p-n接合間に印加される電圧が拡散による順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。従って、大きな電圧が印加された場合の順バイアス電流が低減されるので、消費電流を減少させることができる。

【0100】第2の半導体装置において、半導体基板の内部に主面に対して平行に設けられた埋め込み酸化膜を有するSOI基板を用いると、該SOI基板上に第1導電型の第1の高濃度半導体層及び第2導電型の第2の高濃度半導体層よりなるp-n接合面が形成され、該p-n接合面が埋め込み酸化膜に対して実質的に垂直方向のみとなるため、該p-n接合面の接合領域が小さくなる。従って、SOI基板内部の主面に垂直な方向のキャリアの移動が抑制されるため、順バイアス電流をさらに低減することができる。

【0101】本発明に係る第3の半導体装置によると、主面に対して平行に設けられた埋め込み酸化膜を有するSOI基板上に形成された、第1の高濃度半導体層及び第2の高濃度半導体層よりなるp-n接合が埋め込み酸化膜に対して実質的に垂直方向のみとなるため、p-n接合の接合領域が小さくなるので、SOI基板内部の主面に垂直方向のキャリアの移動が抑制され、従って、順

バイアス電流を低減することができる。

【0102】本発明に係る第4の半導体装置によると、それぞれが縮退するように形成された第1の高濃度半導体層及び第2の高濃度半導体層よりなるp-n接合間に、トンネル電流が流れるように形成されたトンネル障壁膜を備えているため、該p-n接合間に印加される電圧が、順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるので、該順バイアス電流を低減させることができる。その結果、大きな電圧が印加された場合の順バイアス電流が低減されるので、消費電流を減少させることができる。さらに、p-n接合の界面にトンネル障壁膜を設けているため、p-n接合面を介した不純物イオンの相互拡散を抑制できるので、バンド間トンネル電導を用いたトンネルダイオードとしての特性に必須である不純物濃度に急峻なプロファイルを実に得ることができる。

【0103】本発明に係る第5の半導体装置によると、第1の高濃度半導体層と該第1の高濃度半導体層の上にトンネル電流が流れるように形成されたトンネル障壁膜とトンネル障壁膜の上に縮退するように形成された第1導電型の第2の高濃度半導体層よりなる第1のゲート電極とからトンネルダイオードが構成される。さらに、半導体基板において、第1の高濃度半導体層と第1の半導体層とが、第1のゲート電極と第2のゲート電極との間で接続され、第1の高濃度半導体層と第2の半導体層とが、第1のゲート電極と第3のゲート電極との間で接続されるように形成されているため、例えば、トンネルダイオードの第1の高濃度半導体層をデータを保持する記憶ノードとし、第2のゲート電極を有するMOSTランジスタを負荷ランジスタとし、第3のゲート電極を有するMOSTランジスタをトランスファートランジスタとすれば、3素子でSRAMを構成することができるので、高集積化を図ることができる。

【0104】本発明に係る第1の半導体装置の製造方法によると、第1の高濃度半導体層又は第2の高濃度半導体層と第3の高濃度半導体層とよりなるp-n接合間に、トンネル電流が流れるように形成されたトンネル障壁膜を備えているため、該p-n接合間に印加される電圧が、順バイアス電流が流れるほど大きな場合であっても、トンネル障壁膜により生じるエネルギー障壁によってキャリアの移動が抑制されるため、該順バイアス電流を低減させることができる。そのため、大きな電圧が印加された場合の順バイアス電流が低減されるので、消費電流を減少させることができる。

【0105】第1の半導体装置の製造方法において、第1の高濃度半導体層形成工程又は第2の高濃度半導体層形成工程が、半導体基板にp型のイオン種としてボロンを用いたイオン注入を行なうイオン注入工程を含むと、p型のイオン種に、例えば二フッ化ボロンを用いる場合

に比べて、ボロンのイオン半径が小さいため、半導体基板に与える注入ダメージが小さくなって半導体基板の欠陥等が減少する。その結果、縮退した高濃度半導体層のリーク電流を抑制できるため、装置の電気的特性を向上させることができる。

【0106】本発明に係る第2の半導体装置の製造方法によると、半導体基板上に、トンネル障壁膜を挟んだ第1のゲート電極及び高濃度拡散層を有するトンネルダイオードと、高濃度拡散層と接続された一方の拡散層及び第2のゲート電極を有する第1のMOSTランジスタと、高濃度拡散層と接続された他方の拡散層及び第3のゲート電極を有する第2のMOSTランジスタとを形成するため、例えば、トンネルダイオードの高濃度拡散層をデータを保持する記憶ノードとし、第1のMOSTランジスタを負荷ランジスタとし、第2のMOSTランジスタをトランスファートランジスタとすれば、3素子でSRAMを構成することができる。その結果、3素子でSRAMを構成できるため、高集積化を図ることができると共に、従来のSRAMの製造プロセスを流用できるため、容易に且つ確実に製造することができる。

【0107】第2の半導体装置の製造方法において、第2導電型がp型であって、p型の不純物イオンがボロンよりなると、該ボロンは、二フッ化ボロンよりもイオン半径が小さいため、トンネルダイオードの高濃度拡散層におけるトンネル障壁膜の下側の領域に与える注入ダメージが小さくなって高濃度拡散層の欠陥等が減少する。その結果、記憶ノードとなるトンネルダイオードのリーク電流を抑制でき、装置の電気的特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置を示す構成断面図である。

【図2】(a)～(d)は本発明の第1の実施形態に係る半導体装置における基板表面のエネルギーバンドを示す図である。(e)は本発明の第1の実施形態に係る半導体装置の電圧電流特性図である。

【図3】本発明の第1の実施形態の第1変形例に係る半導体装置を示す構成断面図である。

【図4】本発明の第1の実施形態の第2変形例に係る半導体装置の構成断面図である。

【図5】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図6】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図7】本発明の第3の実施形態に係る半導体装置を示す構成断面図である。

【図8】(a)、(b)は本発明の第3の実施形態に係る半導体装置のエネルギーバンドを示す図である。

(c)は本発明の第3の実施形態に係る半導体装置の電圧電流特性図である。

【図9】(a)は本発明の第3の実施形態に係る半導体装置における基板面の垂直方向の深さに対する不純物濃度を示す実測図である。(b)は本発明の第3の実施形態に係る半導体装置の比較用であって、p-n接合面にトンネル障壁膜を設けない場合の不純物濃度プロファイルを示す実測図である。

【図10】本発明の第3の実施形態の一変形例に係る半導体装置を示す構成断面図である。

【図11】本発明の第4の実施形態に係る半導体装置を示す構成断面図である。

【図12】(a)は本発明の第4の実施形態に係る半導体装置の回路図である。(b)は本発明の第4の実施形態に係る半導体装置の電圧電流特性図である。

【図13】(a)～(d)は本発明の第4の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図14】(a)及び(b)は本発明の第4の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

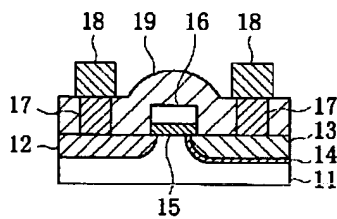
【図15】(a)は本発明の第4の実施形態の一変形例に係る半導体装置の製造方法を用いた場合の半導体装置における基板面の垂直方向の深さに対する不純物濃度プロファイルを示す実測図である。(b)は本発明の第4の実施形態に係る半導体装置の製造方法を用いた場合の半導体装置における基板面の垂直方向の深さに対する不純物濃度プロファイルを示す実測図である。

【符号の説明】

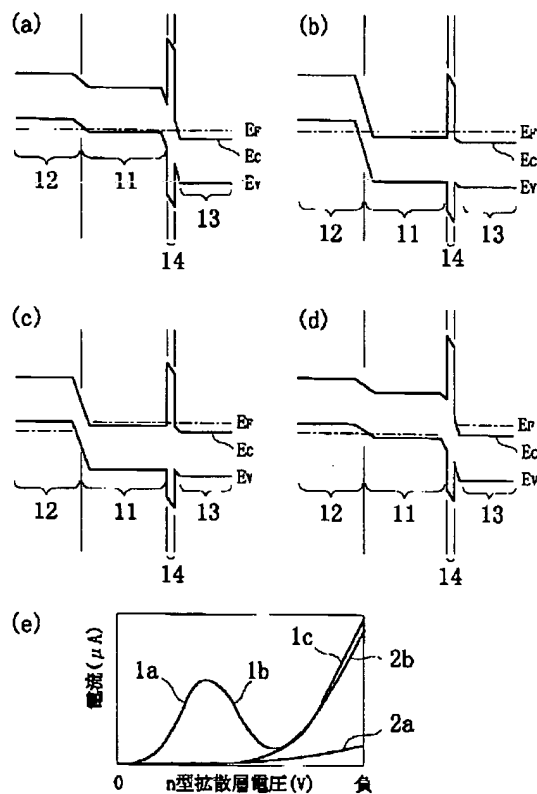
11	半導体基板(第1導電型の半導体基板)	50	レジストパターン
12	p型拡散層(第1の高濃度半導体層)	51	n型拡散層形成領域
13	n型拡散層(第2の高濃度半導体層)	52	トンネル障壁膜
14	トンネル障壁膜	53	n型半導体層(第3の高濃度半導体層)
15	ゲート絶縁膜	54	層間絶縁膜
16	ゲート電極	55	コンタクト
17	コンタクト	56	アルミニウム配線
18	アルミニウム配線	61	半導体基板(第1導電型の半導体基板)
19	層間絶縁膜	62	素子分離膜
21	SOI基板	63	p型拡散層(第1導電型の高濃度半導体層)
21a	埋め込み酸化膜	64	トンネル障壁膜
31	SOI基板	65	n型ゲート電極(第2導電型の高濃度半導体層)
31a	埋め込み酸化膜	66	層間絶縁膜
41	半導体基板(第1導電型の半導体基板)	67	コンタクト
42	ゲート絶縁膜(第1の絶縁膜)	68	アルミニウム配線
43	ゲート電極	71	半導体基板(第1導電型の半導体基板)
44	キャップ酸化膜	72A	第1の素子分離膜
45	レジストパターン	72B	第2の素子分離膜
46	p型拡散層(第1導電型の第1の高濃度半導体層)	73	高濃度p型拡散層(第2導電型の第1の高濃度半導体層)
47	レジストパターン	74A	第1のp型拡散層(第2導電型の第1の半導体層)
48	n型拡散層(第2導電型の第2の高濃度半導体層)	74B	第2のp型拡散層(第2導電型の第2の半導体層)
49	側壁絶縁膜(第2の絶縁膜)	75	トンネル障壁膜
		76A	第1のゲート絶縁膜
		76B	第2のゲート絶縁膜
		77	第1のゲート電極
		78A	第2のゲート電極
		78B	第3のゲート電極
		79	層間絶縁膜
		80	コンタクト
		81A	アルミニウム配線
		81B	アルミニウム配線
		81C	アルミニウム配線
		81D	アルミニウム配線
		81E	アルミニウム配線
		101	トンネルダイオード
		102	負荷トランジスタ
		103	トランスファトランジスタ
		104	ビット線
		105	ワード線
		106	記憶ノード
		107	接地線
		108	制御線
		109	電源線
		111	半導体基板(第1導電型の半導体基板)
		111a	高濃度p型拡散層(第2導電型の高濃度拡散層)

- | | |
|----------------|------------------------------|
| 111b 第1のp型拡散層 | 115B トンネル障壁膜 |
| 111c 第2のp型拡散層 | 116A 第1のゲート電極（第1導電型の高濃度半導体膜） |
| 112A 第1の素子分離膜 | 116B 第2のゲート電極 |
| 112B 第2の素子分離膜 | 116C 第3のゲート電極 |
| 113 絶縁膜 | 117 層間絶縁膜 |
| 113A 第1のゲート絶縁膜 | 118 コンタクト |
| 113B 第2のゲート絶縁膜 | 119 アルミニウム配線 |
| 114 レジストパターン | |
| 115A トンネル障壁膜 | |

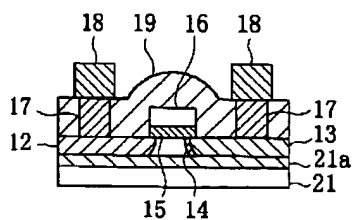
【図1】



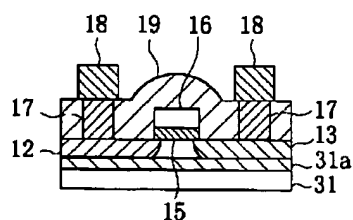
【図2】



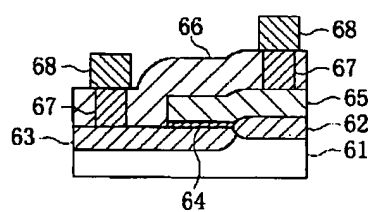
【図3】



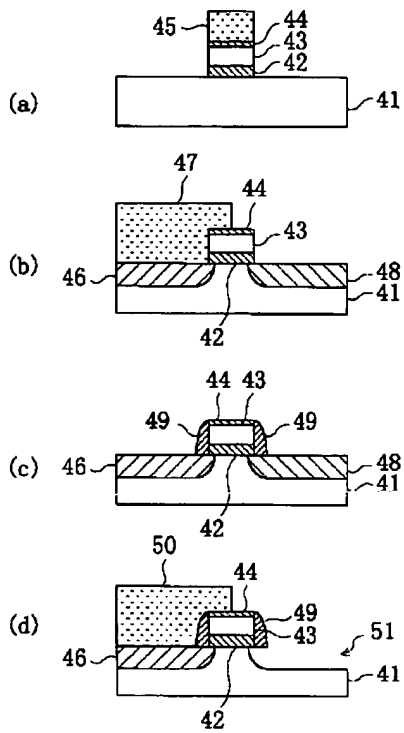
【図4】



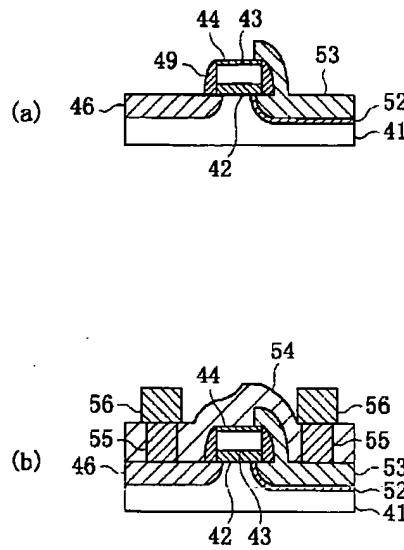
【図7】



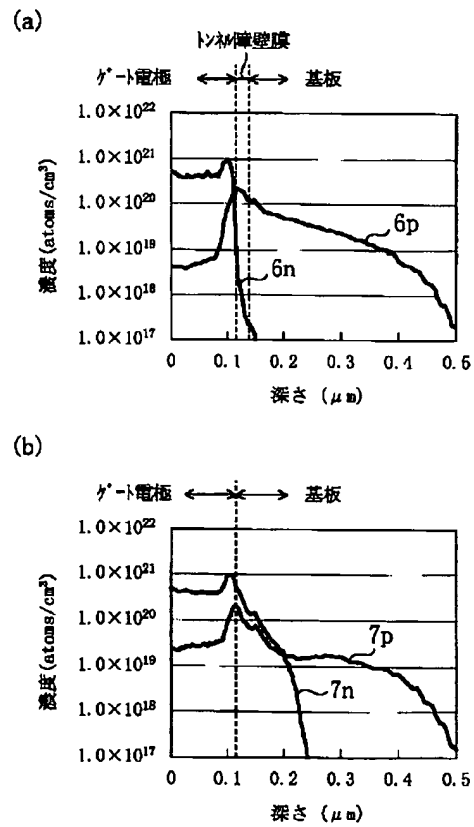
【図5】



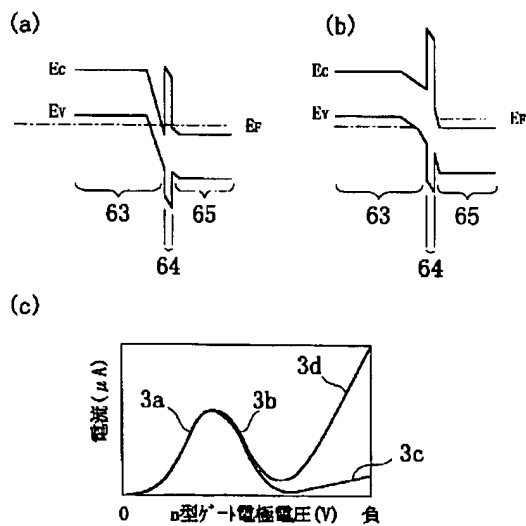
【図6】



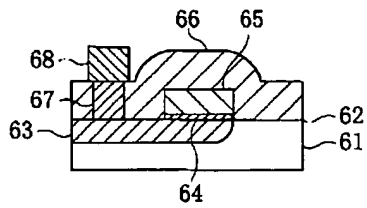
【図9】



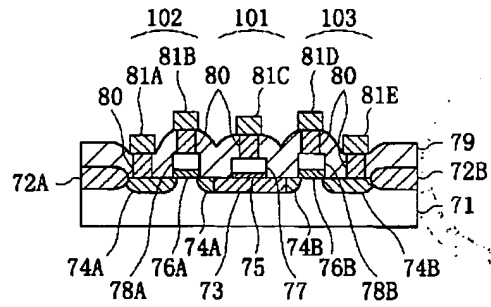
【図8】



【図10】

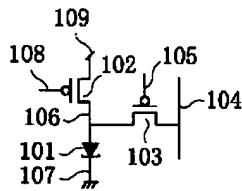


【図11】

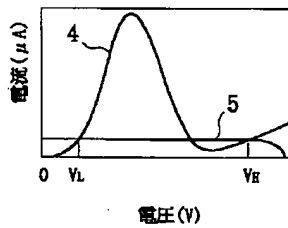


【図12】

(a)



(b)



【図13】

